

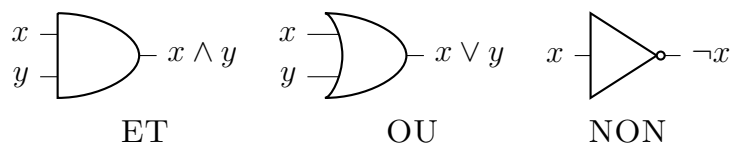
Pour les candidats ayant choisi **l'informatique** comme **spécialité**
secondaire

Si vous ne parvenez pas à répondre à une question, vous pouvez cependant l'utiliser comme hypothèse pour les questions suivantes.

Calculatrices interdites.

Exercice 1.

Les portes logiques sont des éléments d'un circuit dont les entrées et les sorties sont binaires. Les trois portes logiques élémentaires ET, OU et NON sont décrites ci-dessous.



Dans les questions suivantes, indiquer clairement les entrées et les sorties dans tous les diagrammes de circuit. Éviter autant que possible d'utiliser des symboles supplémentaires et si c'est le cas, indiquer dans votre réponse ce qu'ils représentent.

1. En utilisant uniquement les portes ET, OU et NON, dessiner un diagramme de circuit pour un additionneur de 1 bit qui prend en entrée deux bits a_0 , b_0 et (éventuellement) une retenue r et retourne la somme s_0 de a_0 , b_0 et r et la retenue s_1 .

$$s_0 = a_0 + b_0 + r \bmod 2 \text{ et } s_1 = \lfloor (a_0 + b_0 + r)/2 \rfloor$$

2. En utilisant uniquement les portes ET, OU et NON et le circuit de la question précédente, dessiner un diagramme pour un additionneur de 3 bits qui prend en entrée a_2 , b_2 , a_1 , b_1 , a_0 , b_0 , r représentant deux nombres de 3 bits a and b en binaire (noté $a_2a_1a_0$ et $b_2b_1b_0$), et un bit de retenue r . Il devra retourner la somme s de ces trois nombres en binaire sous la forme s_3, s_2, s_1, s_0 .

$$\sum_{i=0}^3 s_i 2^i = \sum_{i=0}^2 a_i 2^i + \sum_{i=0}^2 b_i 2^i + r$$

Expliquer comment étendre cet additionneur en un additionneur pour n bits.

3. Déterminer le nombre de portes $g(n)$ nécessaires pour le circuit de l'additionneur pour n bits de la Question 2.
4. Supposons que le temps de propagation d'un signal logique à travers une porte élémentaire est de t secondes (indépendamment de la porte). Si tous les signaux d'entrée sont altérés pour l'additionneur pour n bits de la Question 2 au temps 0, quel est le temps nécessaire pour l'obtention du résultat en sortie du circuit (en fonction de n et t).

Nous appelons un additionneur de 2^k bits *diviser-pour-régner* le circuit défini récursivement de la façon suivante :

- L'additionneur de 1-bit diviser pour régner est l'additionneur de 1-bit de la Question 1.
- Pour $k \geq 1$, l'additionneur de 2^k -bit diviser pour régner est obtenu en fusionnant deux additionneurs de 2^{k-1} -bit diviser pour régner A et B en envoyant les 2^{k-1} bits de poids faible des entrées a et b et l'éventuelle retenue r à A et tous les bits restants à B . La retenue de la sortie de A est envoyée à B .

5. Dédurre le délai pour l'obtention du résultat pour ce circuit en fonction de $n = 2^k$ et de t .

Nous considérons maintenant un additionneur de 2^k bits *diviser-pour-régner amélioré* où le circuit agissant sur les bits de poids forts est remplacé par deux additionneurs, l'un supposant que la retenue entrante vaut 1 et l'autre supposant que la retenue entrante vaut 0.

6. Dessiner le diagramme de circuit utilisant trois additionneurs de 2^{k-1} bits diviser-pour-régner amélioré et quelques portes logiques élémentaires pour construire un additionneur de 2^k bits diviser-pour-régner amélioré.
7. Dédurre le délai pour l'obtention du résultat pour cet additionneur de 2^k bits diviser-pour-régner amélioré en fonction de $n = 2^k$ et de t .
8. Donner une formule récursive donnant le nombre de portes logiques élémentaires dans cet additionneur de 2^k bits diviser-pour-régner amélioré.